

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
26. Februar 2004 (26.02.2004)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2004/017417 A1

(51) Internationale Patentklassifikation⁷: **H01L 29/78, 21/336**

(21) Internationales Aktenzeichen: **PCT/DE2003/001957**

(22) Internationales Anmeldedatum:
12. Juni 2003 (12.06.2003)

(25) Einreichungssprache: **Deutsch**

(26) Veröffentlichungssprache: **Deutsch**

(30) Angaben zur Priorität:
102 31 966.9 15. Juli 2002 (15.07.2002) DE

(71) Anmelder (*für alle Bestimmungsstaaten mit Ausnahme von US*): **INFINEON TECHNOLOGIES AG [DE/DE]; St. Martin-Strasse 53, 81669 München (DE).**

(72) Erfinder; und
(75) Erfinder/Anmelder (*nur für US*): **KAKOSCHKE, Ronald [DE/DE]; Karlsbergstr. 11, 81475 München (DE). TEWS, Helmut [DE/DE]; Frankenwaldstr. 36, 81549 München (DE).**

(74) Anwalt: **KINDERMANN, Peter; Patentanwälte Kindermann, Postfach 1330, 85627 Grasbrunn (DE).**

(81) Bestimmungsstaaten (*national*): **CN, JP, KR, SG, US.**

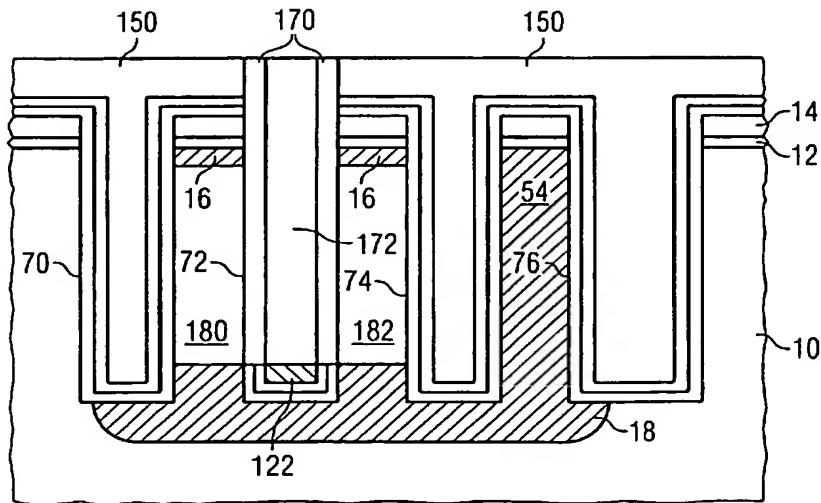
(84) Bestimmungsstaaten (*regional*): **europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).**

Veröffentlicht:
— mit internationalem Recherchenbericht
— vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

[Fortsetzung auf der nächsten Seite]

(54) Title: FIELD EFFECT TRANSISTOR, ASSOCIATED USE, AND ASSOCIATED PRODUCTION METHOD

(54) Bezeichnung: FELDEFFEKTTRANSISTOR, ZUGEHÖRIGE VERWENDUNG UND ZUGEHÖRIGES HERSTELLUNGSVERFAHREN



(57) Abstract: Disclosed is a vertical field effect transistor comprising a semiconductor layer (10) in which a doped channel area is arranged along a recess (72). A buried connecting area (18, 54) extends to a surface of the semiconductor layer (10). A second connecting area (16) is disposed on the same surface near the opening of the recess. Preferably, insulating recesses (70, 74, 76) are produced between the channel area and a conducting supply element (54) as well as between the field effect transistor and an adjacent electrical part. The inventive field effect transistor has excellent electrical properties and is easy to produce.

[Fortsetzung auf der nächsten Seite]

WO 2004/017417 A1



Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(57) Zusammenfassung: Erläutert wird ein vertikaler Feldeffekttransistor mit einer Halbleiterschicht (10), in der entlang einer Vertiefung (72) ein dotierter Kanalbereich angeordnet ist. Ein "vergrabener" Anschlussbereich (18, 54) führt bis zu einer Oberfläche der Halbleiterschicht (10). Ein zweiter Anschlussbereich (16) ist in der Nähe der Öffnung der Vertiefung an der gleichen Oberfläche angeordnet. Vorzugsweise werden auch Isoliervertiefungen (70, 74, 76) zwischen dem Kanalbereich und einer leitenden Zuführung (54) sowie zwischen dem Feldeffekttransistor und einem benachbarten elektrischen Bauelement hergestellt. Der Feldeffekttransistor hat hervorragende elektrische Eigenschaften und ist einfach herzustellen.

Beschreibung

Feldeffekttransistor, zugehörige Verwendung und zugehöriges Herstellungsverfahren

5

Die Erfindung betrifft einen Feldeffekttransistor, der in einer Halbleiterschicht einen dotierten Kanalbereich, zwei Anschlussbereiche, die auch als Drain bzw. Source bezeichnet werden, einen Steuerbereich, der auch als Gate bezeichnet wird, und einen elektrischen Isolierbereich zwischen dem Steuerbereich und dem Kanalbereich enthält.

Die Halbleiterschicht besteht aus einem Material, das einen spezifischen elektrischen Widerstand zwischen 10^{-4} Ω/cm bis 15 10^8 Ω/cm (Ohm pro Zentimeter) hat, beispielsweise Silizium oder Galliumarsenid. Die Halbleiterschicht ist beispielsweise ein Halbleitersubstrat mit einer n-Dotierung oder p-Dotierung. Jedoch gibt es auch Technologien, bei denen die Halbleiterschicht auf einem isolierenden Substrat aufgebracht 20 worden ist, z.B. gemäß der SOI-Technik (Silicon on Insulator).

Die Feldeffekttransistoren werden abhängig von der Art des sich im Kanalbereich ausbildenden Kanals in n-Kanaltransistoren und p-Kanaltransistoren unterschieden.

Eine Vielzahl von Feldeffekttransistoren wird in einer integrierten Schaltungsanordnung angeordnet, so dass bereits kleine Verbesserungen oder Veränderungen am Aufbau eines Feldeffekttransistors zu erheblichen Verbesserungen und Ausbeutesteigerungen führen können.

Es ist Aufgabe der Erfindung, einen einfach aufgebauten Feldeffekttransistor anzugeben, der sich insbesondere auf einfache Art herstellen lässt und der insbesondere mit einem kleinen Flächenbedarf bezogen auf die Oberfläche der zu prozessierenden Halbleiterscheibe hergestellt werden kann. Außerdem

sollen eine zugehörige Verwendung und ein zugehöriges Herstellungsverfahren angegeben werden.

Die auf den Feldeffekttransistor bezogene Aufgabe wird durch
5 einen Feldeffekttransistor mit den im Patentanspruch 1 angegebenen Merkmalen gelöst. Weiterbildungen sind in den Unteransprüchen angegeben.

Der erfindungsgemäße Feldeffekttransistor enthält in der
10 Halbleiterschicht eine Vertiefung, in der der Steuerbereich und der elektrische Isolierbereich angeordnet sind. Der Kanalbereich verläuft in der Halbleiterschicht entlang der Vertiefung. Die Vertiefung hat in einer zu prozessierenden Oberfläche der Halbleiterschicht eine Öffnung, in deren Nähe
15 der eine Anschlussbereich liegt. Der andere Anschlussbereich ist weiter von der Öffnung entfernt als der öffnungsnahe Anschlussbereich und wird deshalb als öffnungsferner Anschlussbereich bezeichnet. Der öffnungsferne Anschlussbereich liegt beispielsweise am Ende der Vertiefung. Bei dem erfindungsgemäßen Feldeffekttransistor führt der öffnungsferne
20 Anschlussbereich aus dem Inneren der Halbleiterschicht bis zu einer die Öffnung enthaltenden Oberfläche der Halbleiterschicht oder ist mit einer elektrisch leitenden Verbindung elektrisch leitend verbunden, die zu der Oberfläche führt.

25 Der erfindungsgemäße Feldeffekttransistor ist somit ein Feldeffekttransistor, dessen Kanalbereich sich in vertikaler Richtung zu der Oberfläche der Halbleiterschicht oder zumindest quer zu dieser Oberfläche erstreckt. Dadurch wird die
30 für den Feldeffekttransistor benötigte Fläche von der benötigten Kanallänge unabhängig oder bei Schräglage des Kanalbereiches nur über einen Faktor kleiner als Eins abhängig. Im Vergleich zu einem planaren Feldeffekttransistor ist die Integration des Transistors in eine integrierte elektrische
35 Schaltung aber nicht aufwendiger, weil der im Inneren der Halbleiterschicht liegende öffnungsferne Anschlussbereich zu der zu prozessierenden Oberfläche führt oder mit dieser Ober-

fläche über eine elektrisch leitende Verbindung elektrisch leitend verbunden ist.

Bei einer Weiterbildung des erfindungsgemäßen Feldeffekttransistors haben die beiden Anschlussgebiete die gleiche Dotierstoffkonzentration und Dotierstoffe des gleichen Leitungstyps, d.h. entweder n-leitend oder p-leitend. Der Kanalbereich hat bei einer Ausgestaltung eine Dotierung des entgegengesetzten Leitungstyps wie die Anschlussgebiete und grenzt an beide Anschlussgebiete. Zusätzliche Dotierbereiche zwischen den Anschlussgebieten sind bei dieser Ausgestaltung nicht vorhanden.

Bei einer nächsten Ausgestaltung hat der Kanalbereich eine Länge, die mindestens zwei Dritteln der Tiefe der Vertiefung entspricht. Die Vertiefung wird bei dieser Weiterbildung nur so tief eingebracht, wie es zum Erzielen der erforderlichen Kanallänge erforderlich ist.

Bei einer anderen Weiterbildung ist die Vertiefung ein Graben. Die Länge des Grabens bestimmt die Transistorweite, d.h. einen maßgeblichen Parameter des Feldeffekttransistors. Bei einer alternativen Weiterbildung ist die Vertiefung ein Loch, das eine Tiefe hat, die den Durchmesser bzw. die Breite des Loches beispielsweise um mindestens das Zweifache übersteigt. Der Durchmesser des Loches bestimmt die Transistorweite. Die Tiefe bestimmt die Gatelänge. Insbesondere bei zylinderförmigen Löchern lassen sich Schichten an der Lochwand sehr gleichmäßig abscheiden.

Bei einer nächsten Weiterbildung des erfindungsgemäßen Feldeffekttransistors liegt der Kanalbereich auf beiden Seiten des Grabens oder entlang des gesamten Umfangs des Loches. Durch diese Maßnahmen lassen sich auch Transistoren mit einer vergleichsweise großen Transistorweite auf einfache Art herstellen.

Bei einer alternativen Weiterbildung liegt dagegen der Kanalbereich nur auf einer Seite des Grabens oder nur entlang eines Teils des Umfangs des Loches. Transistoren, die nur eine vergleichsweise kleine Weite benötigen, lassen sich so 5 auf einfache Art herstellen. Die nicht vom Kanalbereich begleiteten Bereiche am Graben oder am Umfang des Loches werden zum Anordnen anderer Bauelemente oder als Teil von Isolierbereichen genutzt.

10 Bei einer nächsten Weiterbildung des erfindungsgemäßen Verfahrens erstreckt sich der öffnungsferne Anschlussbereich im Bereich von mehreren Vertiefungen, in denen Steuerbereiche angeordnet sind. Beispielsweise enthält der Feldeffekttransistor zwei, drei oder mehr Vertiefungen, die nach Art einer 15 Kaskade aufgereiht sind. Das Kaskadieren führt zu einer weiteren Verringerung des Flächenbedarfs. Außerdem muss der öffnungsferne Anschlussbereich je Feldeffekttransistor unabhängig von der Anzahl der Kaskadierungen nur einmal an die Oberfläche geführt werden.

20 Bei einer nächsten Weiterbildung hat die Vertiefung für den Steuerbereich und eine mit einem elektrischen Isoliermaterial gefüllte Vertiefung zwischen dem Feldeffekttransistor und einem benachbarten elektronischen Bauelement die gleiche 25 Tiefe. Beide Vertiefungen lassen sich so auf einfache Art in einem gemeinsamen Lithografieprozess herstellen.

Bei einer alternativen Weiterbildung hat dagegen die Vertiefung für den Steuerbereich eine kleinere Tiefe als eine vollständig mit einem elektrischen Isoliermaterial gefüllte Vertiefung zwischen dem Feldeffekttransistor und einem benachbarten elektronischen Bauelement. Diese Maßnahme gestattet es, die Vertiefung für das Isoliermaterial schmäler auszuführen, ohne dass die Isolierfähigkeit im Vergleich zu einer 30 breiteren Isolierung, die jedoch nicht so tief ist, zu beeinträchtigen.

Bei einer nächsten Weiterbildung haben die einzelnen Elemente des Feldeffekttransistors Abmessungen und/oder eine Struktur, die das Schalten von Spannungen größer 9 Volt, größer 15 Volt, jedoch kleiner als 30 Volt zulassen:

5. - der Isolierbereich hat beispielsweise eine Isolierstärke von mindestens 15 nm (Nanometer) oder von mindestens 20 nm,
- der Abstand zwischen den Anschlussbereichen entlang der Vertiefung beträgt mindestens 0,4 µm (Mikrometer),
- 10 - die Anschlussbereiche haben einen flachen Dotierprofilgradienten von etwa 200 nm / Dekade im Vergleich zu den Dotierprofilen planarer Feldeffekttransistoren. Insbesondere lässt sich der flache Dotierprofilgradient aufgrund unterschiedlicher Eindringtiefen der Dotierstoffe auf
- 15 einfache Art erzeugen.

Durch die genannten Maßnahmen lassen sich Feldeffekttransistoren erzeugen, die im Vergleich zu planaren Feldeffekttransistoren mit den gleichen elektrischen Eigenschaften, nur 20 weniger als die Hälfte des Flächenbedarfs benötigen. Die Einsparung von Fläche ist in dem genannten Bereich der Schaltspannungen besonders groß und überwiegt den herstellungstechnischen Aufwand zum Herstellen der Vertiefung deutlich.

25 Die Erfindung betrifft außerdem eine Verwendung des Feldeffekttransistors, insbesondere des Feldeffekttransistors für die genannten Schaltspannungen, als Ansteuerungstransistor an einer Wortleitung oder einer Bitleitung eines Speicherzellenfeldes. Die genannten Schaltspannungen sind insbesondere zum Löschen aber auch zum Programmieren von nicht-flüchtigen Speicherzellen erforderlich, wie z.B. von sogenannten Flash-Speichern, bei denen sich nur mehrere Zellen gleichzeitig löschen lassen, oder von EEPROMs (Electrical Erasable Programmable Read Only Memory).

Insbesondere werden die erfindungsgemäßen Feldeffekttransistoren bei einem Integrationsgrad des Speicherzellenfeldes eingesetzt, bei dem das Speicherzellenfeld weniger als 30 Prozent der Chipfläche einer Speichereinheit bei Verwendung von planaren Feldeffekttransistoren für die Ansteuerung einnehmen würde.

Die Erfindung betrifft außerdem ein besonders einfaches Herstellungsverfahren zum Herstellen des erfindungsgemäßen Feldeffekttransistors, bei dem:

- eine Halbleiterschicht mit einer zu prozessierenden Oberfläche bereitgestellt wird,
- ein oberflächennaher Anschlussbereich und ein oberflächenferner Anschlussbereich in die Halbleiterschicht eingedotiert werden,
- mindestens eine Vertiefung für einen Steuerbereich vom oberflächennahen Anschlussbereich bis zum oberflächenfernen Anschlussbereich geätzt wird,
- eine elektrische Isolierschicht in der Vertiefung abgeschieden wird, und
- in die Vertiefung ein elektrisch leitfähiger Steuerbereich eingebracht wird.

Bei einer Weiterbildung des erfindungsgemäßen Verfahrens wird das Dotieren der Anschlussbereiche vor dem Ätzen und dem Füllen der Vertiefungen ausgeführt, so dass sich eine einfache Prozessierung ergibt.

Bei einer nächsten Weiterbildung wird ein Verbindungsreich dotiert, der von dem oberflächenfernen Anschlussbereich zur Oberfläche führt. Durch das Dotieren wird auf einfache Art eine elektrisch leitende Verbindung in der Halbleiterschicht hergestellt.

Bei einer anderen Weiterbildung werden gleichzeitig mit der Vertiefung für den Steuerbereich Isoliervertiefungen geätzt, sogenannte Isoliergräben. Die Isoliervertiefungen haben bei

einer Ausgestaltung die gleiche Tiefe wie die Vertiefung für den Steuerbereich. Bei einer Alternative sind die Isoliervertiefungen tiefer als die Vertiefung für den Steuerbereich.

5 Zur Herstellung der Isoliervertiefung wird bei einer Weiterbildung ein zusätzliches Lithografieverfahren zu den Lithografieverfahren zur Herstellung der Vertiefung für den Steuerbereich ausgeführt. Bei dem zusätzlichen Lithografieverfahren werden die Isoliervertiefungen entweder in ihrer gesamten
10 Tiefe oder in der Tiefe geätzt, in der sie die Tiefe der Vertiefung für den Steuerbereich überschreiten.

Bei einer anderen Weiterbildung mit unterschiedlich tiefen Vertiefungen werden die Vertiefungen jedoch mit einem gemeinsamen Ätzprozess geätzt, bei dem breitere Vertiefungen erheblich tiefer geätzt werden als schmalere Vertiefungen.

Andere Weiterbildungen sind der folgenden Beschreibung von Ausführungsbeispielen zu entnehmen. Im Folgenden werden Ausführungsbeispiele der Erfindung an Hand der beiliegenden Zeichnungen erläutert. Darin zeigen:

Figuren 1A bis 1J

25 Zwischenstufen beim Herstellen eines vertikalen Feldeffekttransistors gemäß einem ersten Ausführungsbeispiel,

Figur 2A und 2B

30 Zwischenstufen beim Herstellen eines vertikalen Feldeffekttransistors gemäß einem zweiten Ausführungsbeispiel,

35 Figur 3 den Einsatz von vertikalen Feldeffekttransistoren zur Ansteuerung eines Speicherzellenfeldes in einem EEPROM,

Figur 4 eine Draufsicht auf einen vertikalen Feldeffekttransistor,

5 Figur 5 einen Schnitt durch einen vertikalen Feldeffekttransistor mit zweifach kaskadierten Gate-Bereichen, und

10 Figur 6 eine Draufsicht auf parallel geschaltete vertikale Feldeffekttransistoren mit zylinderförmigen Gate-Bereichen.

Im Folgenden wird eine Prozessfolge erläutert, mit der vertikale Transistoren für Schaltspannungen zwischen 9 Volt und 20 Volt mit einer beliebigen Kaskadierung von Gatebereichen hergestellt werden können. Viele Prozessschritte der Prozessfolge können mit Prozessschritten zur Herstellung anderer Bauelemente der gleichen integrierten Schaltungsanordnung kombiniert und gemeinsam durchgeführt werden, z.B. mit Prozessschritten zur Herstellung von flachen Grabenisolationen (STI - Shallow Trench Isolation) oder von Gate-Stapeln planarer Feldeffekttransistoren. Es werden zwei Prozessvarianten erläutert, von denen die erste Prozessvariante vertikale Feldeffekttransistoren mit Gräben gleicher Tiefe betrifft und an Hand der Figuren 1A bis 1J erläutert wird:

25 Figur 1A zeigt ein p-dotiertes Halbleitersubstrat 10. In einem ersten Verfahrensschritt wird eine Oxidschicht 12 aus Siliziumdioxid erzeugt, die beispielsweise eine Dicke von 5 nm hat und bei 800°C durch eine trockene Oxidation während einer Oxidationsdauer von etwa zehn Minuten erzeugt worden ist. Anschließend wird eine Nitridschicht 14 abgeschieden, beispielsweise aus Siliziumnitrid. Die Nitridschicht 14 hat beispielsweise eine Dicke von 100 nm und wurde beispielsweise mit Hilfe eines LPCVD-Verfahrens (Low Pressure Chemical Vapor Deposition) erzeugt. Anschließend werden optional flache Isolationsgräben in anderen Bereichen des Siliziumsubstrats 10 erzeugt.

Im Rahmen eines Lithografieverfahrens für einen Drain-Bereich 16 wird anschließend eine Fotolackschicht auf der Nitridschicht 14 aufgebracht, belichtet und entwickelt, wobei eine Aussparung über dem späteren Drain-Bereich 16 entsteht. Anschließend wird eine Ionenimplantation durchgeführt, bei der der Drain-Bereich 16 stark n-dotiert wird, d.h. eine n+-Dotierung erhält. Die Reste der Fotolackschicht werden dann entfernt.

Anschließend wird ein nächstes Lithografieverfahren zur Erzeugung eines Source-Bereiches 18 durchgeführt. Dazu wird eine Fotolackschicht 20 auf die Nitridschicht 14 aufgebracht. Die Fotolackschicht 20 wird belichtet und entwickelt, wobei eine Aussparung 22 entsteht, durch die bei einer folgenden Ionenimplantation, siehe Pfeile 24, Ionen bis in den zu dotierenden Source-Bereich 18 dringen.

Der Drain-Bereich 16 und der Source-Bereich 18 lassen sich auch mit der gleichen Fotomaske herstellen, wenn sie gleiche laterale Ausdehnungen haben sollen.

Der Abstand von der Oberfläche des Halbleitersubstrates 10 und damit von der Oberseite des Drain-Bereiches 16 und der Mitte des Source-Bereiches 18 beträgt im Ausführungsbeispiel 1 µm. Als Dotierstoffkonzentration im Drain-Bereich 16 und im Source-Bereich 18 wird beispielsweise eine Konzentration von etwa 10^{20} cm^{-3} (Dotieratome pro Kubikzentimeter) gewählt.

Wie in Figur 1B dargestellt, wird nach dem Entfernen der Reste der Fotolackschicht 20 eine Fotolackschicht 50 auf die Nitridschicht 14 aufgebracht. Die Fotolackschicht 50 wird belichtet und entwickelt, so dass eine Aussparung 52 oberhalb der Randbereiche des Drain-Bereiches 16 bzw. des Source-Bereiches 18 entsteht. Durch die Aussparung 52 hindurch dringen in mehreren aufeinanderfolgenden Implantationsschritten mit kleiner werdenden Implantationstiefen Ionen, die einen

10

vertikalen Verbindungsreich 54 n+-dotieren. Der Verbindungsreich 54 verbindet im Ausführungsbeispiel zunächst den Drain-Bereich 16 und den Source-Bereich 18. Nach der durch die Pfeile 56 dargestellten Ionenimplantation werden die
5 Reste der Fotolackschicht 50 entfernt.

Die Implantationsschritte lassen sich auch zu späteren Zeitpunkten ausführen, wenn dies im Rahmen der Gesamtprozessführung zweckmäßiger ist, z.B. nach der Ätzung von Gräben zur
10 Herstellung des Feldeffekttransistors.

Wie in Figur 1C gezeigt, wird anschließend eine Hartmaskenschicht 60 auf der Nitridschicht 14 aufgebracht. Die Hartmaskenschicht 60 besteht beispielsweise aus TEOS (Tetra-Ethyl-
15 Ortho-Silicate). In einem Lithografieverfahren wird auf der Hartmaskenschicht 60 eine Fotolackschicht abgeschieden, belichtet und strukturiert. Danach wird die Hartmaske 60 in Bereichen 62, 64, 66 und 68 oberhalb von zu erzeugenden Gräben in einem Ätzprozess geöffnet. In einem folgenden RIE-
20 Ätzschritt wird dann die Hartmaske 60 zum Erzeugen von Gräben 70, 72, 74 und 76 genutzt, die in dieser Reihenfolge entlang des Drain-Bereiches 16 bzw. entlang des Source-Bereiches 18 aufgereiht sind. Die Gräben 70, 72 und 74 haben eine Breite B1 von beispielsweise 150 nm und eine Tiefe von beispielsweise 1 µm. Der Graben 76 hat eine Breite B2, die im Ausführungsbeispiel etwa doppelt so groß wie die Breite B1 ist.
25 Auch der Graben 76 ist im Ausführungsbeispiel etwa 1 µm tief. Alle Gräben 70 bis 76 reichen bis zum Source-Bereich 18 und enden etwa in der Mitte des Source-Bereiches 18. Der Graben
30 74 trennt den Drain-Bereich 16 vom Verbindungsreich 54. Bei einem anderen Ausführungsbeispiel sind die Gräben 70 bis 76 an ihrem Boden stärker abgerundet als in den Figuren 1C dargestellt.
35 Anschließend werden die Reste der Hartmaske 60 entfernt. Optional lassen sich anschließend die Reste der Nitridschicht 14 entfernen. Im Ausführungsbeispiel werden die Reste der

11

Nitridschicht 14 jedoch nicht entfernt. Wie in Figur 1D dargestellt, wird danach eine Oxidation zur Erzeugung einer dünnen Opferoxidschicht 100 durchgeführt, die beispielsweise 10 nm dick ist. Die Oxidation wird beispielsweise bei einer 5 Temperatur von 800°C durchgeführt.

Auf die Opferoxidschicht 100 wird danach eine Opfernitridschicht 102 aufgebracht, die beispielsweise 6 nm dick ist und mit Hilfe eines LPCVD-Verfahrens (Low Pressure Chemical Vapor 10 Deposition) erzeugt wird.

Wie in Figur 1E gezeigt, wird optional in die Gräben 70 bis 76 jeweils ein Bodenoxid 120, 122, 124 bzw. 126 eingebracht, z.B. in einem HDP-Verfahren (High Density Plasma). Das mit 15 Hilfe des HDP-Verfahrens abgeschiedene Oxid wird mit Hilfe eines Rückätzprozesses zurückgeätzt, bis nur noch das Bodenoxid 120, 122, 124 bzw. 126 am Boden der Gräben 70 bis 76 verbleibt.

20 Die Gräben 70 bis 76 werden danach mit einem undotierten Opferpolysilizium 130 aufgefüllt. Das Opferpolysilizium 130 wird danach in einem Planarisierungsschritt bis an die Oberkante der Gräben 70 bis 76 abgetragen, z.B. mit Hilfe eines chemisch-mechanischen Polierverfahrens.

25 Wie in Figur 1F gezeigt, wird in einem folgenden Verfahrensschritt eine Fotolackschicht 140 auf die planarisierte Fläche aufgebracht, belichtet und entwickelt, wobei Aussparungen 142, 144 und 146 oberhalb des Grabens 70, 74 bzw. 76 entstehen. Oberhalb des Grabens 72 ist die Fotolackschicht 140 30 dagegen geschlossen. Das in den Gräben 70, 74 und 76 angeordnete Opferpolysilizium 130 wird danach nass-chemisch selektiv zu der Opfernitrildschicht 102 geätzt. In den Gräben 70, 74 und 76 verbleibt das Bodenoxid 120, 124 bzw. 126. Reste der 35 Fotolackschicht 140 werden danach entfernt.

12

Optional lässt sich in einem folgenden Ätzschritt die Opfer-nitridschicht 102 an den Wänden der Gräben 70, 74 und 76 entfernen. Dies ist jedoch nicht zwingend erforderlich, weil die Opfernitrildschicht 102 auch in den Gräben 70, 74 bzw. 76 verbleiben kann.

Wie in Figur 1G dargestellt, wird anschließend in den Gräben 70, 74 und 76 Isolationsmaterial 150 abgelagert, z.B. TEOS. Das Isolationsmaterial 150 erstreckt sich auch über den Rand 10 der Gräben 70, 74 und 76, so dass es die Gräben 70, 74 und 76 füllt und zugleich in anderen Teilen des Transistors als Isolationsschicht wirkt.

Wie in Figur 1H gezeigt, wird anschließend eine Fotolack-schicht 160 aufgebracht, belichtet und entwickelt, so dass eine Aussparung 162 oberhalb des Grabens 72 entsteht, in dem ein Gate-Bereich ausgebildet werden soll. Danach wird die Isolationsschicht 150 im Bereich der Aussparung 162 entfernt. In einem folgenden Prozessschritt wird das Opferpolysilizium 20 130 aus dem Graben 72 entfernt, z.B. mit Hilfe eines nassche-mischen Ätzprozesses selektiv zu der Opfernitrildschicht 102 innerhalb des Grabens 72. Es verbleibt das Bodenoxid 122 im Graben 72. Die Reste der Fotolackschicht 160 werden anschlie-ßend entfernt.

Wie in Figur 1I gezeigt, werden dann die Opfernitrildschicht 102 und die Opferoxidschicht 100 innerhalb des Grabens 72 mit Hilfe zweier Ätzprozesse entfernt. Damit ist der Graben 72 frei für die Abscheidung eines Gateoxids in einem nachfolgen-30 den Verfahrensschritt. Am Boden des Grabens 72 verbleibt weiterhin das Bodenoxid 122, das die saubere Abscheidung des Gateoxids im Bereich der Ecken des Grabens 72 und im Bereich der unteren Kanten des Grabens 72 begünstigt.

35 Wie in Figur 1J gezeigt, wird eine Gateoxidschicht 170 an den Seitenwänden des Grabens 72 mit Hilfe einer thermischen Oxi-dation abgeschieden. Die Gateoxidschicht 170 besteht bei-

spielsweise aus Siliziumdioxid und hat beispielsweise eine Dicke von 20 nm. Die Oxidation zum Erzeugen der Gateoxid-schicht 170 wird beispielsweise in einem Temperaturbereich von 800°C bis 1000°C durchgeführt.

5

In einem folgenden Verfahrensschritt wird im Graben 72 amorphes Silizium 172 abgeschieden, das beispielsweise n-dotiert und damit elektrisch leitfähig ist. Der Graben 72 wird beispielsweise mit Hilfe eines LPCVD-Verfahrens konform gefüllt, 10 so dass keine Löcher bzw. Voids innerhalb des Grabens 72 entstehen. Danach wird ein chemisch-mechanisches Polierverfahren durchgeführt, das auf dem Isoliermaterial 150 stoppt.

Optional wird anschließend eine Oxidkappe oberhalb des Grabens 72 bei beispielsweise einer Temperatur von 900°C und einer Oxidationsdauer von beispielsweise zehn Minuten in einem Nassoxidationsprozess erzeugt.

20 In nachfolgenden Verfahrensschritten werden Kontaktlöcher geätzt, die zum Drain-Bereich 16, zum Verbindungsbereich 54 bzw. zu dem durch das amorphe Silizium 172 gebildeten Gate-Bereich führen. Danach werden die bekannten Verfahrensschritte zum Herstellen von Transistoren ausgeführt.

25 Der entstandene MOS Transistor (Metal Oxide Semiconductor) mit vertikalem Kanal kann wie folgt beschrieben werden:

- Sourcegebiet 16,
- Draingegebiet 18 mit elektrischem Anschluss 54 des Draingebiets,
- Kanalgebiet (active area) 180 und 182.

30 Die Gatelänge ist gleich der Entfernung von dem Sourcegebiet 16 zum Draingegebiet 18, also etwa gleich der Tiefe des Grabens. Die Gateweite ist gleich der in den Querschnittsbildern nicht gezeigten Länge des Grabens 72.

Die Herstellung eines p-Kanal-Feldeffekttransistors erfolgt grundsätzlich auf die gleiche Art und Weise, wie an Hand der Figuren 1A bis 1J erläutert. Dabei wird jedoch von einem n-dotierten Siliziumsubstrat 10 oder einer entsprechend dotierten Wanne ausgegangen. Die an Hand der Figuren 1A bis 1J erzeugten Dotierungen werden mit Dotiermaterial des entgegengesetzten Leitungstyps ausgeführt.

Die an Hand der Figuren 1A bis 1J erläuterte Prozessfolge mit gleich tiefen Gräben 70 bis 76 führt bereits zu einem verringerten Platzbedarf von vertikalen Transistoren großer Gatelänge im Vergleich zu üblichen planaren Transistoren gleicher Gatelänge. Bei unterschiedlich tiefen Gräben für den vertikalen Transistor und die Isolation lässt sich dieser Platzbedarf bei einer zweiten Verfahrensvariante weiter verringern. Auch bei der zweiten Verfahrensvariante werden im Wesentlichen die an Hand der Figuren 1A bis 1J erläuterten Prozessschritte ausgeführt. Unterschiede werden an Hand der Figur 2A und 2B erläutert.

Bei der zweiten Verfahrensvariante werden zunächst alle Verfahrensschritte ausgeführt, die oben an Hand der Figuren 1A bis 1C erläutert worden sind. Jedoch wird ein dem Graben 76 entsprechender Graben 76a mit der Grabenbreite B1 hergestellt, d.h. vier Gräben 70a bis 76a haben die gleiche Breite B1 und die gleiche Tiefe. In Figur 2A sind gleiche Elemente wie in den Figuren 1A bis 1B mit gleichen Bezugszeichen, jedoch mit einem nachgestellten Kleinbuchstaben a bezeichnet. So verlaufen die Gräben 70a bis 76a durch ausgesparte Bereiche 62a bis 68a einer Hartmaskenschicht 60a. Die Hartmaskenschicht 60a wurde auf einer Nitridschicht 14a aufgebracht, die ihrerseits auf einer dünnen Oxidschicht 12a liegt. Alle Gräben 70a bis 76a liegen in einem Siliziumsubstrat 10a. Unmittelbar unterhalb der Oxidschicht 12a liegt ein Drain-Bereich 16a, der dem Drain-Bereich 16 entspricht. Die Gräben 62a bis 68a erstrecken sich bis in einen "vergraben" Source-Bereich 18a.

Die Gräben 70a bis 76a werden anschließend mit einem Füllmaterial 200 gefüllt, das leicht selektiv gegen Silizium entfernt werden kann, z.B. ein Fotolack, polykristallines Germanium oder polykristallines Siliziumgermanium.

Wie in Figur 2B dargestellt, wird das Füllmaterial 200 anschließend nach der Durchführung eines Lithografieverfahrens wieder aus den Gräben 70a und 76a mit Hilfe eines Ätzschrittes entfernt. Danach wird eine zusätzliche Ätzung ausgeführt, bei der die Gräben 70a und 76a vertieft werden, so dass ihr Boden 202 bzw. 204 deutlich unterhalb des Source-Bereiches 18a liegt.

15 Im Anschluss an die an Hand der Figur 2B erläuterten Prozessschritte werden die oben an Hand der Figuren 1D bis 1J erzeugten Prozessschritte ausgeführt.

20 Auf gleiche Weise wie an Hand der Figuren 2A und 2B erläutert, lassen sich auch p-Feldeffekttransistoren herstellen.

Bei der zuletzt erläuterten Prozessvariante wird die Länge des Gate-Bereiches ebenfalls im Wesentlichen durch die Tiefe des Grabens 72a bestimmt. Die Isolation zum benachbarten 25 Bauelement hat jedoch nur noch eine Breite B1 des tiefen Grabens 76a, beispielsweise nur rund 100 bis 200 nm.

Figur 3 zeigt den Einsatz von vertikalen Feldeffekttransistoren 220 bis 226 eines Speicherzellenfeldes 230. Die vertikalen Feldeffekttransistoren 220 bis 226 sind Bestandteil einer Ansteuereinheit 232, die von dem Speicherzellenfeld 230 in 30 Figur 3 durch eine gestrichelte Linie 234 getrennt ist. Die Ansteuereinheit 232 steuert das Speicherzellenfeld 230 beispielsweise nach dem sogenannten NOR-Verfahren oder nach 35 dem NAND-Verfahren an.

Die vertikalen Transistoren 220 bis 226 wurden mit einem Verfahren hergestellt, wie es oben an Hand der Figuren 1A bis 1J bzw. 2A und 2B erläutert worden ist. Anschlüsse 240, 242, 244 und 246 der Transistoren 220, 222, 224 bzw. 226 liegen in dieser Reihenfolge auf Potentialen von 10 Volt, 16 Volt, -10 Volt bzw. +10 Volt. Gate-Anschlüsse 250 bis 256 der Transistoren 220 bis 226 werden durch eine nicht dargestellte Steuereinheit angesteuert, um Speicherzellen des Speicherzellenfeldes 230 gemäß einem Programmierverfahren bzw. Löscherfahren anzusteuern. Die Ansteuerverfahren sind jedoch nicht Gegenstand der vorliegenden Anmeldung sind und werden deshalb nicht näher erläutert.

In Figur 3 ist eine Prinzipschaltung für eine Speicherzelle 260 des Speicherzellenfeldes 230 angegeben. Weitere Speicherzellen einer Speichermatrix sind durch Pfeile 262 angedeutet. Die anderen Speicherzellen des Speicherzellenfeldes 230 sind wie die Speicherzelle 260 aufgebaut.

Die Speicherzelle 260 enthält einen Speichertransistor 264 und einen Ansteuertransistor 266. Der Speichertransistor 264 ist ein Feldeffekttransistor mit einer ladungsspeichernden Zwischenschicht 268 zwischen einem Gate-Anschluss 270 und einem Kanalbereich. Der Gate-Anschluss 270 ist mit einer Wortleitung 272 verbunden, die zu einem Anschluss 274 des Transistors 224 und zu einem Anschluss 276 des Transistors 226 führt. Ein Anschluss 278 des Transistors 264 führt zu einer Hilfsleitung 280, deren Potential für das Programmieren und Löschen der Speicherzelle 260 keinen Einfluss hat. Ein Anschluss 282 des Transistors 264 ist mit einem Anschluss 284 des Transistors 266 verbunden. Ein Gate-Anschluss 286 des Transistors 266 führt zu einer weiteren Wortleitung 288, die mit einem Anschluss 290 des Transistors 220 und mit einem Anschluss 292 des Transistors 222 verbunden ist.

Ein Anschluss 294 des Transistors 266 ist mit einer Bitleitung 296 verbunden, an die durch die Ansteuereinheit 232 beim

Programmieren eine Spannung von 6 Volt und beim Löschen der Speicherzelle 260 eine Spannung von 0 Volt angelegt wird.

Die an Hand der Figur 3 erläuterten Speicherzellen sind Speicherzellen eines EEPROM. Bei sogenannten Flash-Speicherbausteinen gibt es in einer Speicherzelle 260 nur einen Speichertransistor. Ein Ansteuertransistor 266 ist nicht erforderlich. Bei einem anderen Ausführungsbeispiel sind der Speichertransistor 264 und der Ansteuertransistor 10 266 in einem Transistor realisiert, d.h. in einem sogenannten Split-Gate-Transistor.

Allen genannten Zellstrukturen ist jedoch gemeinsam, dass betragsmäßig vergleichsweise hohe Löschspannungen und Programmierspannungen erforderlich sind, die mit Hilfe der vertikalen Feldeffekttransistoren 250 bis 256 erzeugt werden. Durch die Verwendung der vertikalen Transistoren 250 bis 256 lässt sich die Ansteuereinheit 262 mit zunehmendem Integrationsgrad auf gleiche Weise verkleinern, wie das Speicherzellenfeld 230.

Figur 4 zeigt eine Draufsicht auf den vertikalen Feldeffekttransistor 222, der gemäß der ersten Prozessvariante hergestellt worden ist. Ein Rechteck 300 umschreibt die für den Transistor 222 benötigte Chipfläche einschließlich eines Isolationsabstandes zu benachbarten Bauelementen. Ein Isolationsabstand A1 in Längsrichtung des Rechtecks 300 hat die Breite B1 des Grabens 76. Ein Isolationsabstand A2 in Querrichtung des Rechtecks 300 hat ebenfalls die Breite B1. In Figur 4 ist außerdem eine Grabenlänge L1 eingezeichnet. Da die Wände auf beiden Seiten des Grabens 72 zur Transistorweite beitragen, ist die elektrisch wirksame Weite W doppelt so groß wie die Grabenlänge L1.

35 In Figur 4 sind außerdem Source-Kontakte 310 bis 314 dargestellt, die über den Verbindungsbereich 54 zu dem vergraben Source-Bereich 18 führen. Links des Grabens 72 für den Steu-

erbereich liegen zwei Drain-Kontakte 320 und 322, die zu dem Drain-Bereich 16 zwischen den Gräben 70 und 72 führen. Zwei rechts des Grabens 72 liegende Drain-Kontakte 324 und 326 führen zum Drain-Bereich zwischen dem Graben 72 und dem Graben 74.

Um Aufladungen des Siliziumsubstrats 10 im Bereich des Feldeffekttransistors 222 zu verhindern, gibt es zwischen den Drain-Kontakten 320 und 322 einen Substrat-Kontakt 340 sowie zwischen den Drain-Kontakten 324 und 326 einen Substrat-Kontakt 342. Die Substrat-Kontakte 340 und 342 sind gegen den Drain-Bereich 16 isoliert. Durch die Verwendung der Substrat-Kontakte 340 und 342 können separate n-, p- und sogenannte Tripel-Wannen, wie sie heute üblich sind, entfallen.

Bei anderen Ausführungsbeispielen liegt der Drain-Bereich am Ende der Gräben 70 bis 76 und der Source-Bereich in der Nähe der Substratoberfläche.

Figur 5 zeigt einen Querschnitt durch einen vertikalen Feldeffekttransistor 350 mit zweifach kaskadierten Gate-Bereichen. Bei der Herstellung des Feldeffekttransistors 350 werden vier Gräben 70b, 72b, 74b und 76b erzeugt, die den Gräben 70 bis 76 bzw. den Gräben 70a bis 76a entsprechen. Zwischen dem Graben 72b und dem Graben 74b wurde jedoch noch ein zusätzlicher Graben 352 erzeugt, der die gleichen Abmessungen und die gleichen Füllungen wie der Graben 72b hat. Außerdem ist der Abstand zwischen den Gräben 72b und 74b beim Transistor 350 etwa doppelt so groß wie der Abstand zwischen den Gräben 72 und 74 bzw. zwischen den Gräben 72a und 74a, um Raum für den Graben 352 zu schaffen.

Wie in Figur 5 gut zu erkennen, bildet sich der Kanal entlang von vertikalen Seitenwänden 360 bis 366 des Grabens 72b bzw. des Grabens 352 aus. Pfeile 370 bis 376 deuten den vierfachen Stromfluss von Drain-Bereichen 16c zu einem Source-Bereich 18c an. Die Steuerbereiche in den Gräben 72b und 352 sind

elektrisch parallel geschaltet, siehe Verbindungen 380. Auch die Drain-Bereich 16c sind elektrisch parallel geschaltet, siehe Verbindungen 382. Die Kanallänge l eines Kanals wird durch einen Pfeil in Figur 5 dargestellt.

5

Bei anderen Ausführungsbeispielen werden mehr als zwei Steuerbereiche bzw. mehr als vier Kanalbereiche in einem Transistor kaskadiert.

10 In den Ansteuereinheiten zum Ansteuern eines Speicherzellenfeldes werden zu einem großen Teil auch Transistoren mit einer minimalen Weite W verwendet. Typische Werte für ein Minimalmaß eines auf 5 Volt ausgelegten Transistors sind: $W = 0,35 \mu\text{m}$, $L = 0,7 \mu\text{m}$ und $A = 0,9 \mu\text{m}$. Wenn so schmale Transistoren benötigt werden, kann sich das hochdotierte Anschlussgebiet 54, 54a bzw. 54b direkt an den Gräben 72b für den Steuerbereich anschließen. Der Kanal bildet sich in diesem Fall nur an einer Grabenwand aus, z.B. an der Wand 360 des Grabens 72b.

15

20

Figur 6 zeigt eine Draufsicht auf drei parallel geschaltete vertikale Feldeffekttransistoren 400, 402 und 404, die an Stelle der Gräben zylinderförmige Vertiefungen für die Steuerbereiche haben. Selbstverständlich kann beispielsweise auch nur ein Feldeffekttransistor 400 allein als Einzeltransistor hergestellt werden. Der Einsatz von zylinderförmigen Vertiefungen bietet sich insbesondere für sehr weite Transistoren an, weil mit zylinderförmigen Vertiefungen die Reduzierung der Layout-Weite besonders hoch ist. Es gilt $U = 2 \pi r$, wobei U der Umfang bzw. die Weite, π die gleichnamige Zahl und r der Radius der zylinderförmigen Vertiefung sind.

25

Bei den oben an Hand der Figuren 1A bis 1J, und der Figuren 2A und 2B erläuterten Feldeffekttransistoren ist das Kanalgebiet vollständig vom Substrat isoliert, nämlich lateral durch die Gräben und in die Tiefe durch den vergrubenen Source- bzw. Drain-Bereich. Aufgrund dieser Anordnung ähnelt ein

20

solcher Transistor in gewisser Weise einem SOI-Transistor (Silicon On Insulator). Die sogenannte Punch-Festigkeit von SOI-Transistoren ist deutlich besser als die von Bulk-Transistoren. Dieser Vorteil überträgt sich auch auf die 5 vertikalen Feldeffekttransistoren. Dadurch lässt sich die Tiefe der vertikalen Transistoren verringern.

Außerdem wird durch die Übernahme von Eigenschaften eines SOI-Transistors die sogenannte Treiberfähigkeit des vertikalen Feldeffekttransistors erhöht. Die Transistorweite kann dadurch bei sonst gleichbleibenden elektrischen Eigenschaften 10 verringert werden.

Patentansprüche

1. Feldeffekttransistor (222),
5 mit einem entlang einer Vertiefung (72) angeordneten dotierten Kanalbereich,
mit einem einer Öffnung der Vertiefung (72) nahen dotierten Anschlussbereich (16),
10 mit einem der Öffnung fernen dotierten Anschlussbereich (18),
mit einem in der Vertiefung (72) angeordneten Steuerbereich (172),
15 und mit einem elektrischen Isolierbereich (170) zwischen dem Steuerbereich (172) und dem Kanalbereich,
wobei der öffnungsferne Anschlussbereich (18, 54) bis zu
20 einer die Öffnung enthaltenden Oberfläche führt oder mit einer zu der Oberfläche führenden elektrisch leitenden Verbindung elektrisch leitend verbunden ist.
2. Feldeffekttransistor (222) nach Anspruch 1, dadurch gekennzeichnet, dass die Anschlussgebiete (16, 18) die gleiche Dotierstoffkonzentration und Dotierstoffe des gleichen Leitungstyps enthalten.
3. Feldeffekttransistor (222) nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass der Kanalbereich eine Länge (l) hat, die mindestens zwei Dritteln der Tiefe der Vertiefung (72) entspricht.
4. Feldeffekttransistor (222) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Vertiefung ein Graben (72) oder ein Loch ist.

5. Feldeffekttransistor (222) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass der Kanalbereich auf beiden Seiten des Grabens (72) oder entlang des gesamten Umfangs des Loches liegt.

5

6. Feldeffekttransistor (222) nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, dass der Kanalbereich nur auf einer Seite des Grabens (72) oder nur entlang eines Teils des Umfangs des Loches liegt.

10

7. Feldeffekttransistor (222) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass der öffnungsferne Anschlussbereich (18) im Bereich mehrerer, vorzugsweise mindestens zweier oder mindestens dreier, Vertiefungen (72b, 352) liegt, in denen Steuerbereiche angeordnet sind und an denen Kanalbereiche und öffnungsnahe Anschlussbereiche (16c) angeordnet sind,

20 und dass die Steuerbereiche und die öffnungsnahen Anschlussbereiche (16c) jeweils elektrisch parallel geschaltet sind (380).

25 8. Feldeffekttransistor (222) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Vertiefung (72) für den Steuerbereich und eine mit einem elektrischen Isoliermaterial gefüllte Vertiefung (70, 76) zwischen dem Feldeffekttransistor (222) und einem benachbarten elektrischen Bauelement die gleiche Tiefe haben.

30 9. Feldeffekttransistor (222) nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, dass die Vertiefung (72) für den Steuerbereich eine kleinere Tiefe als eine mit einem elektrischen Isoliermaterial gefüllte Vertiefung (70a, 76a) zwischen dem Feldeffekttransistor (222) und einem benachbarten elektronischen Bauelement hat.

35

23

10. Feldeffekttransistor (222) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass der Isolierbereich (170) eine Isolierstärke von mindestens 15 nm, vorzugsweise von 20 nm hat,

5 und/oder dass der Abstand (l) zwischen den Anschlussbereichen (16, 18) entlang der Vertiefung (72) mindestens 0,4 µm beträgt,

10 und/oder dass mindestens ein Anschlussbereich (16, 18) einen flachen Dotierprofilgradienten hat, welcher eine Schaltspannung mit einem Betrag größer 9 Volt oder größer 15 Volt, jedoch vorzugsweise kleiner als 30 Volt zulässt.

15 11. Verwendung des Feldeffekttransistors (222) nach einem der vorhergehenden Ansprüche als Ansteuerungstransistor an einer Wortleitung (272, 288) oder einer Bitleitung (296) eines Speicherzellenfeldes (230), insbesondere eines Flash-Speichers oder eines EEPROM-Speicherbausteins.

20 12. Verwendung des Feldeffekttransistors (222) nach einem der vorhergehenden Ansprüche zum Schalten einer Spannung mit einem Betrag größer 9 Volt oder größer 15 Volt, vorzugsweise jedoch kleiner 30 Volt.

25 13. Verfahren zum Herstellen eines Feldeffekttransistors (222), insbesondere eines Feldeffekttransistors (222) nach einem der Ansprüche 1 bis 12,

30 mit den ohne Beschränkung durch die angegebene Reihenfolge auszuführenden Schritten:

Bereitstellen eines Trägermaterials (10) mit einer zu prosessierenden Oberfläche,

35 Ausbilden eines oberflächennahen Anschlussbereiches (16) und eines oberflächenfernen Anschlussbereiches (18),

Ausbilden von mindestens einer Vertiefung (72), welche von dem oberflächennahen Anschlussbereich (16) bis zum oberflächenfernen Anschlussbereich (18) oder welche von einem Bereich 5 für den oberflächennahen Anschlussbereich zu einem Bereich für den oberflächenfernen Anschlussbereich führt,

Erzeugen einer elektrischen Isolierschicht (170) in der Vertiefung (72),
10 Einbringen eines elektrisch leitfähigen Steuerbereiches (172) in die Vertiefung (72).

14. Verfahren nach Anspruch 13, dadurch gekennzeichnet, dass das Ausbilden der Anschlussbereiche vor
15 der Ausbilden der Vertiefung und/oder vor dem Füllen der Vertiefung (72) ausgeführt wird.

15. Verfahren nach Anspruch 13 oder 14, gekennzeichnet durch den Schritt:
20 Ausbilden eines Verbindungsbereiches (54) von dem oberflächenfernen Anschlussbereich (18) zur Oberfläche der Halbleiterorschicht (10).

25 16. Verfahren nach einem der Ansprüche 13 bis 15, dadurch gekennzeichnet, dass gleichzeitig mit der Vertiefung (72) für den Steuerbereich mindestens eine Isoliervertiefung (70, 74, 76) ausgebildet wird.

30 17. Verfahren nach Anspruch 16, dadurch gekennzeichnet, dass die Isoliervertiefung (70, 74, 76) mit der gleichen Tiefe wie die Vertiefung (72) für den Steuerbereich ausgebildet wird.

35 18. Verfahren nach Anspruch 16, dadurch gekennzeichnet, dass die Isoliervertiefung (70a, 76a) tiefer

als die Vertiefung (72a) für den Steuerbereich ausgebildet wird.

19. Verfahren nach Anspruch 18, dadurch gekenn-

5 zeichnet, dass die Isoliervertiefung breiter als die Vertiefung (72) für den Steuerbereich zumindest in einem oberen Abschnitt ist und dass beide Vertiefungen in einem gemeinsamen Ätzprozess ausgebildet werden, bei dem breitere Vertiefungen erheblich tiefer geätzt werden als schmalere

10 Vertiefungen.

1/8

FIG 1A

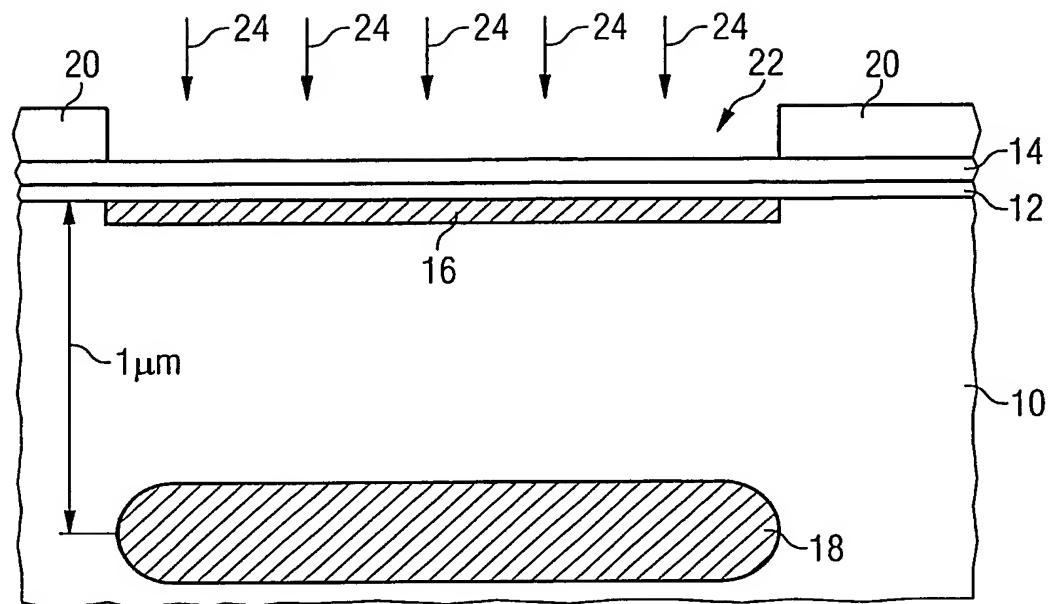
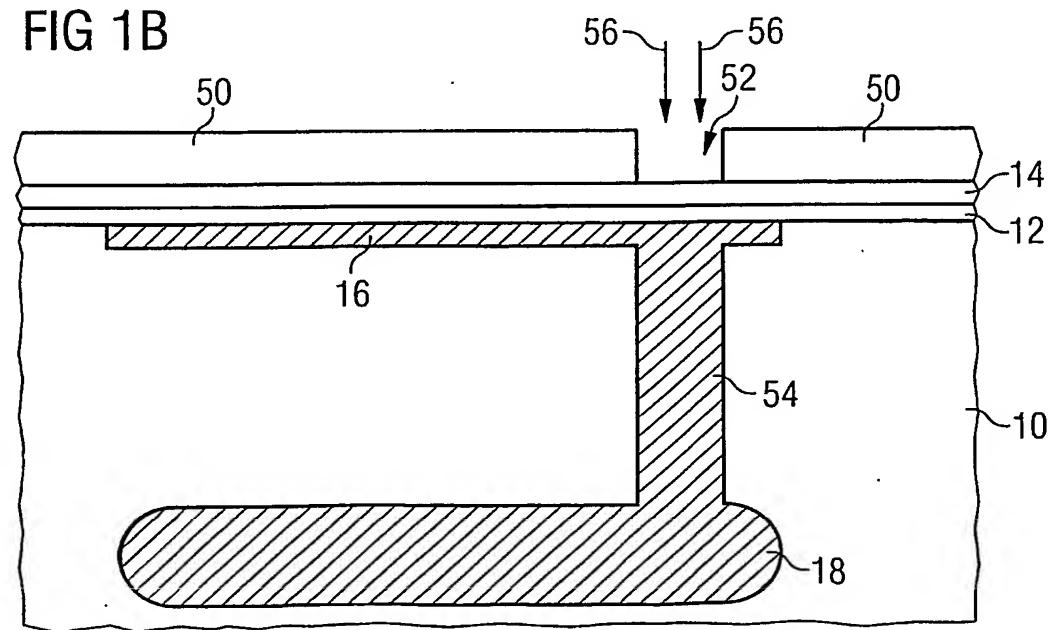


FIG 1B



2/8

FIG 1C

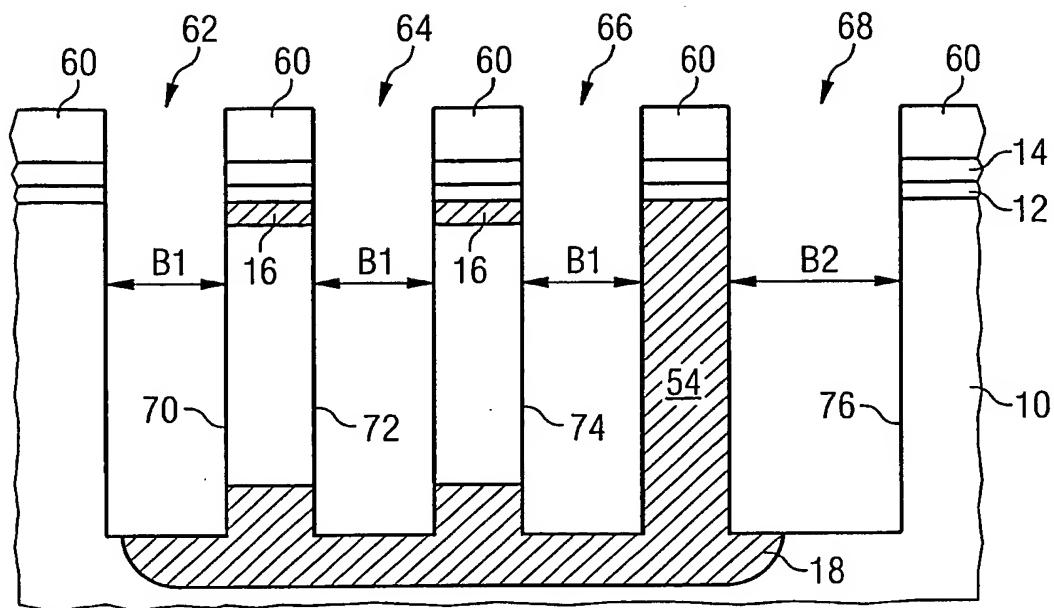
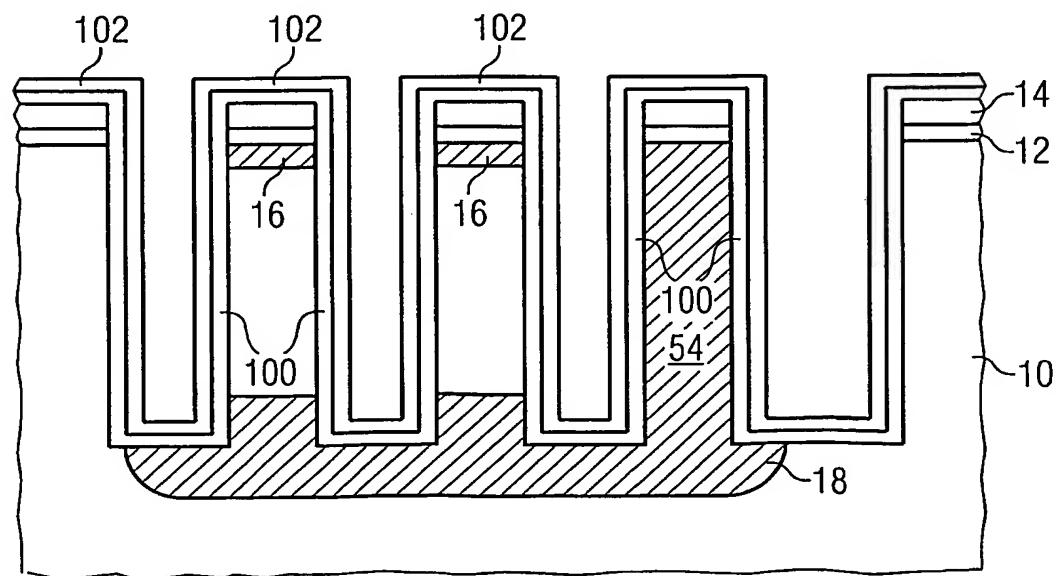


FIG 1D



3/8

FIG 1E

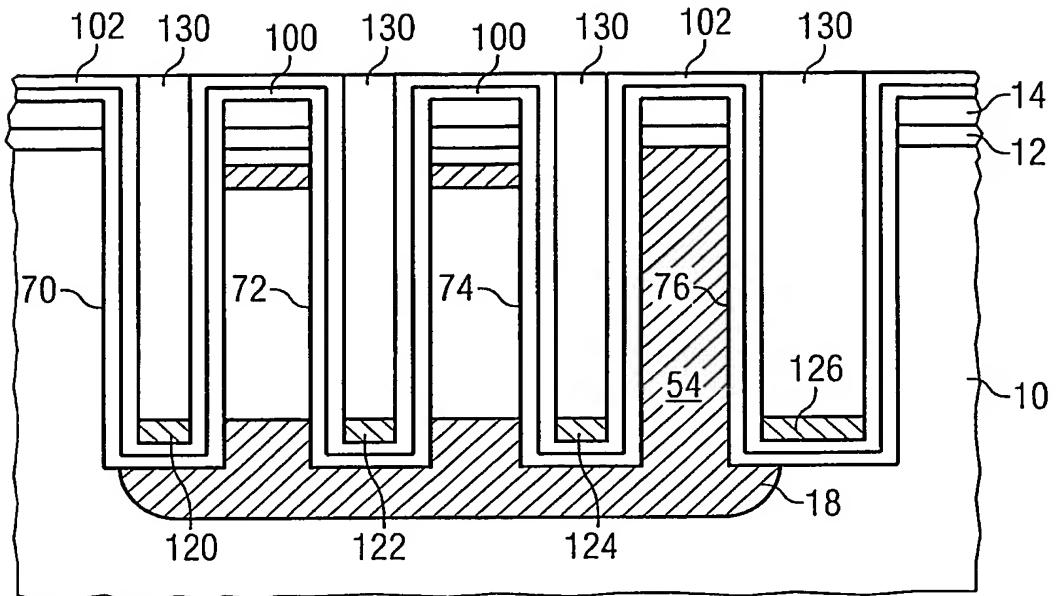
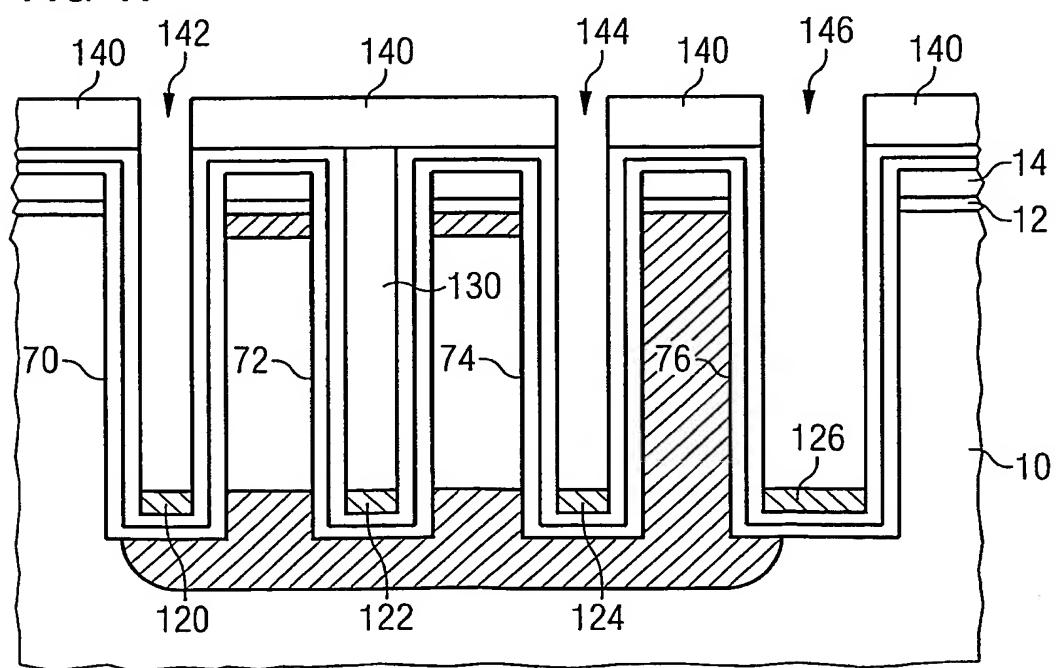


FIG 1F



4/8

FIG 1G

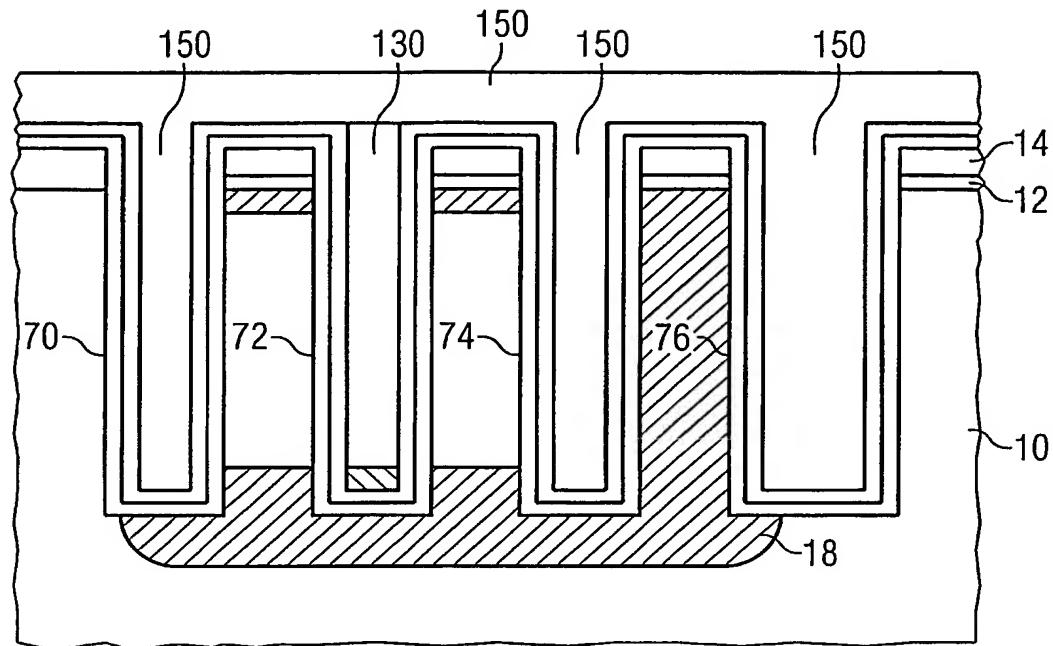
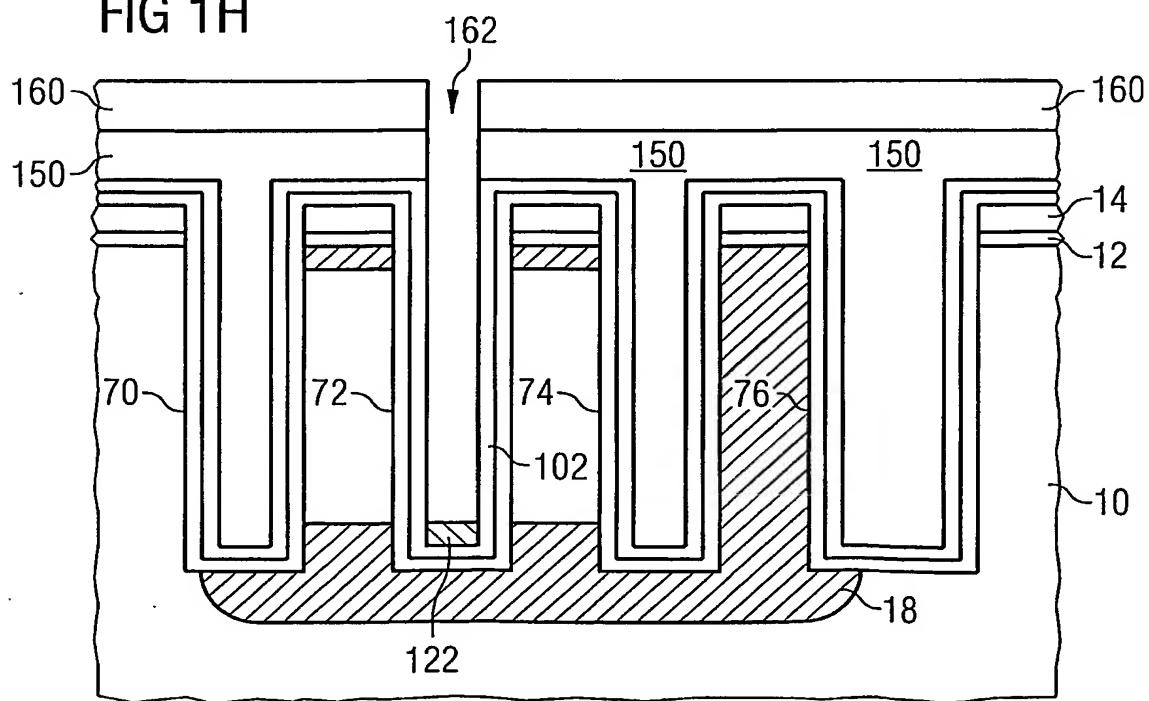


FIG 1H



5/8

FIG 1I

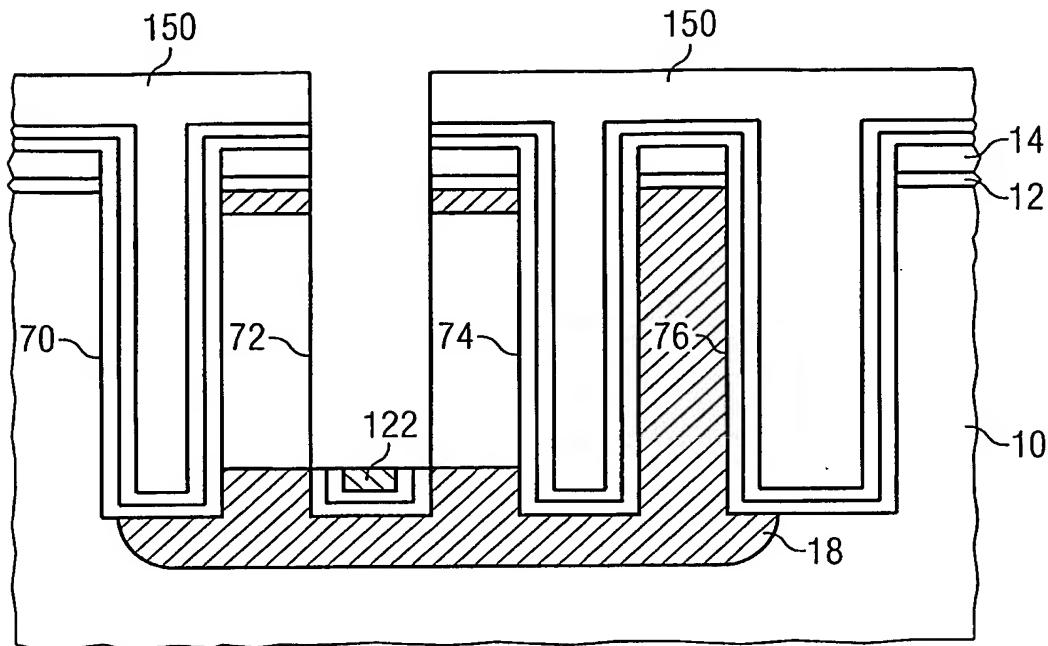
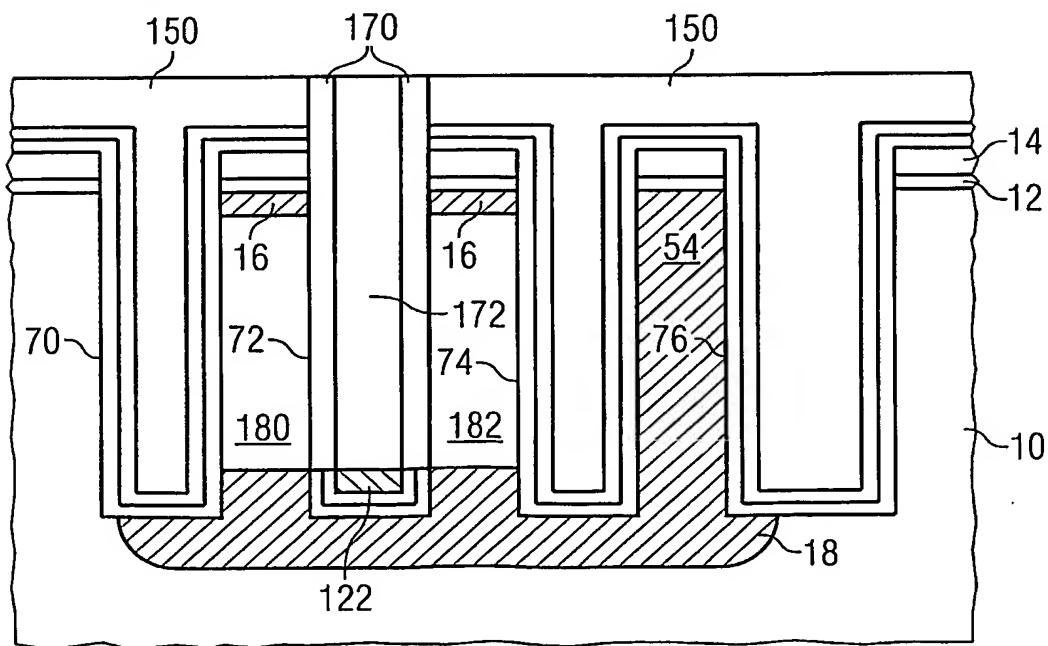


FIG 1J



6/8

FIG 2A

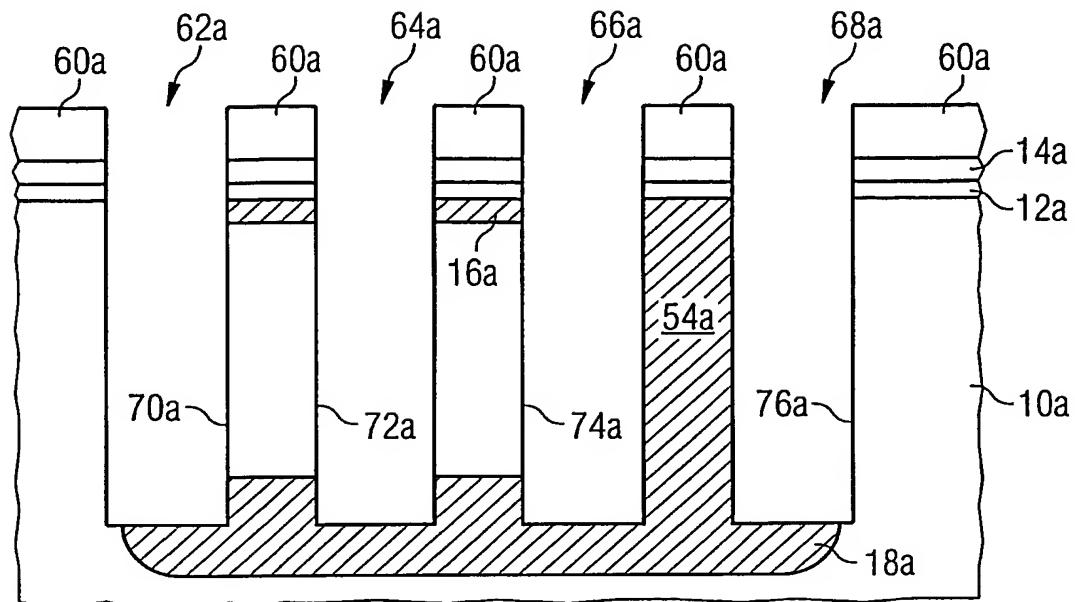


FIG 2B

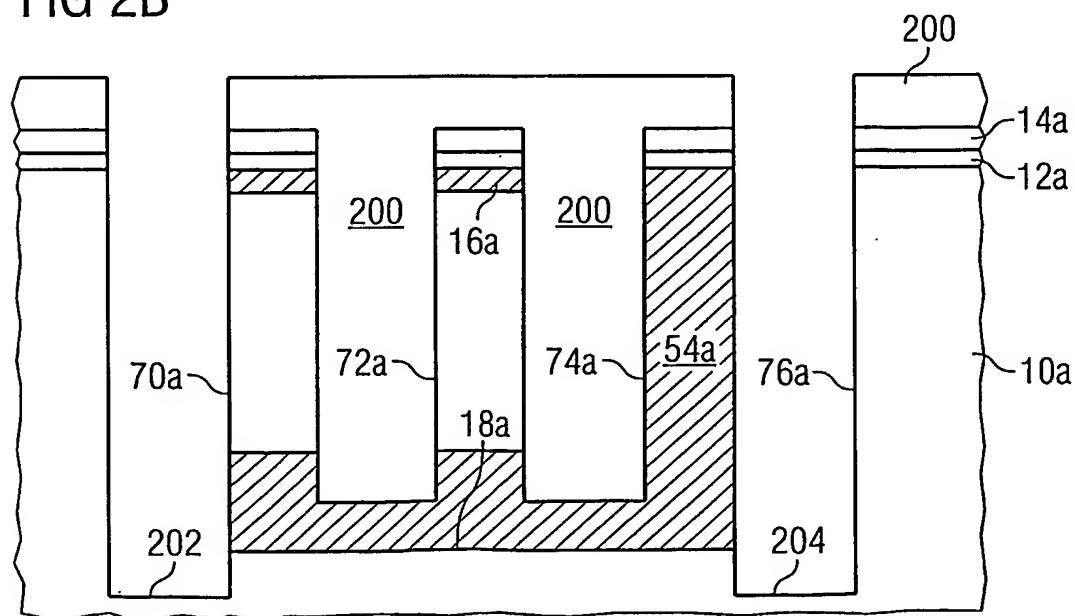


FIG 3

7/8

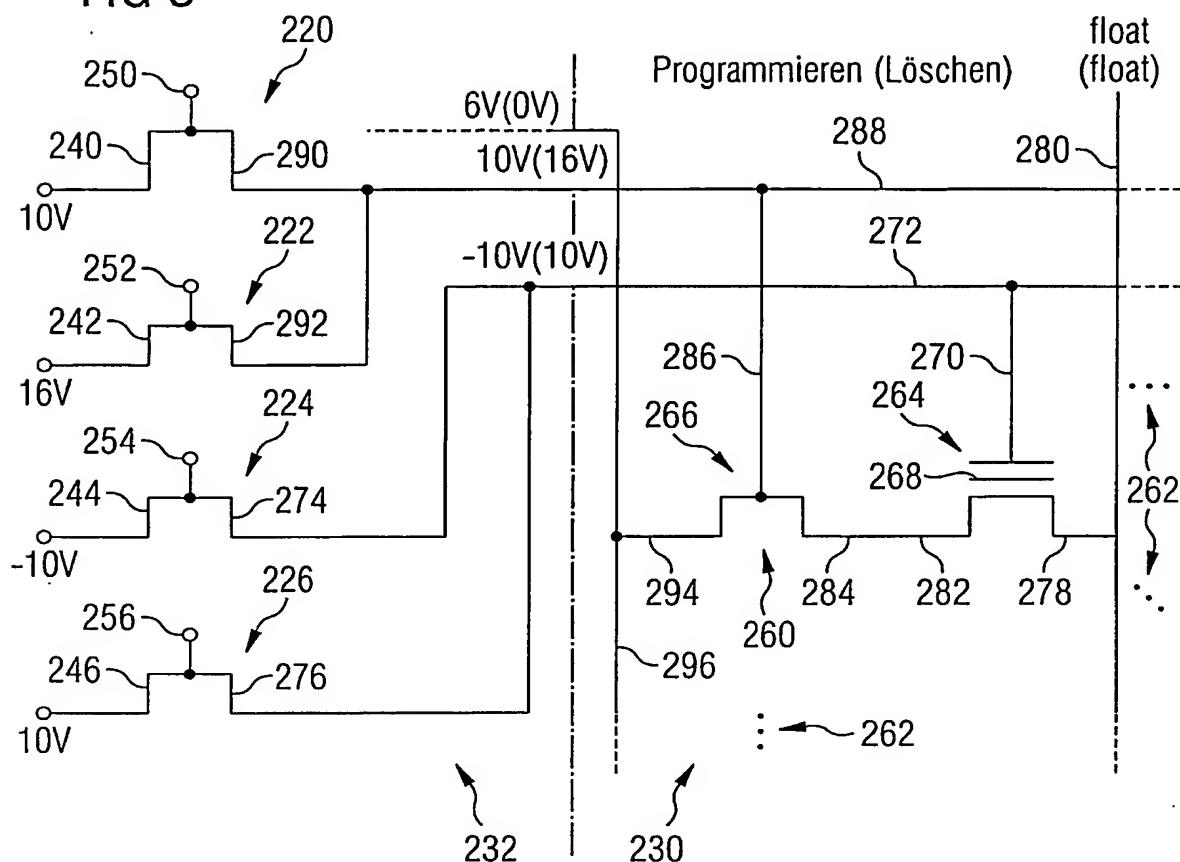


FIG 4

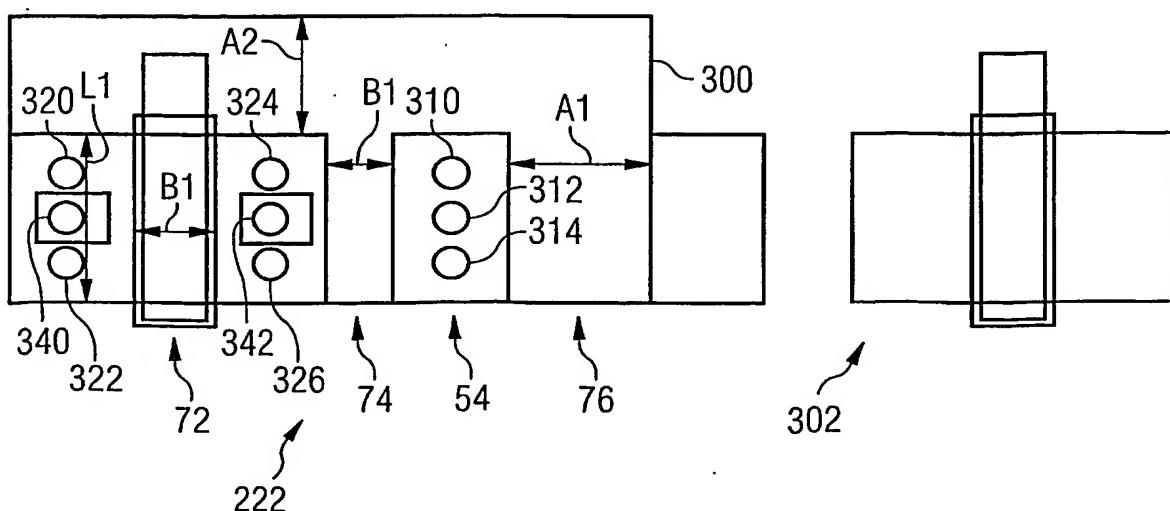


FIG 5

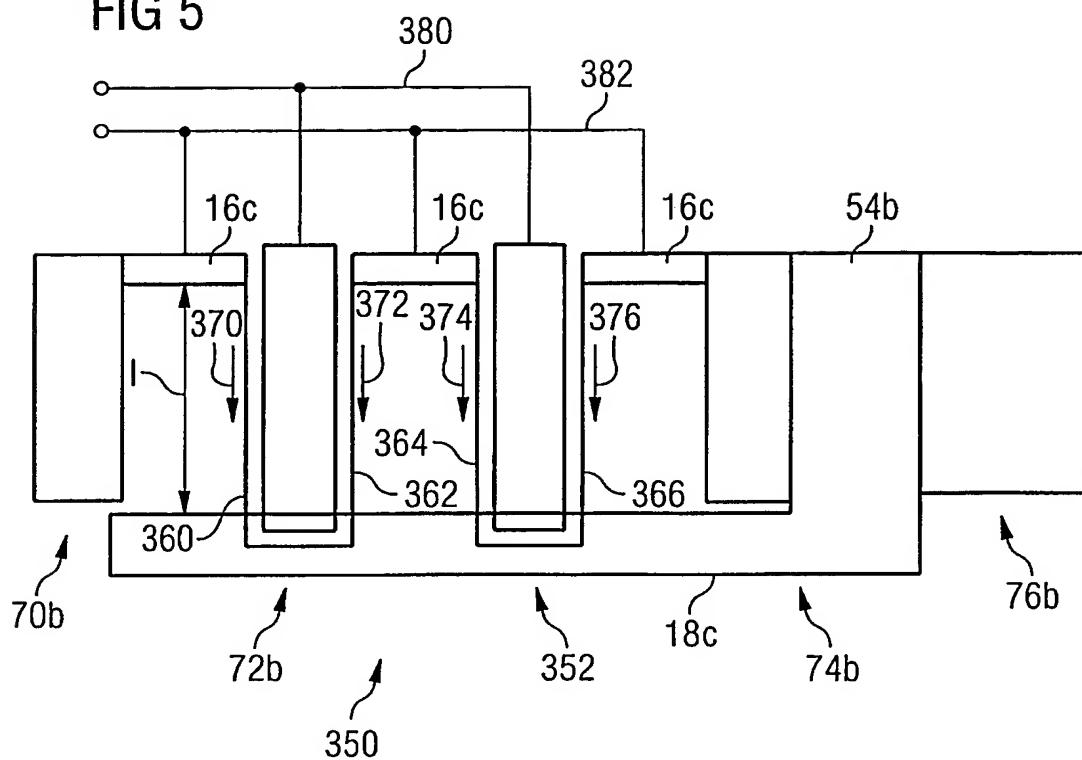
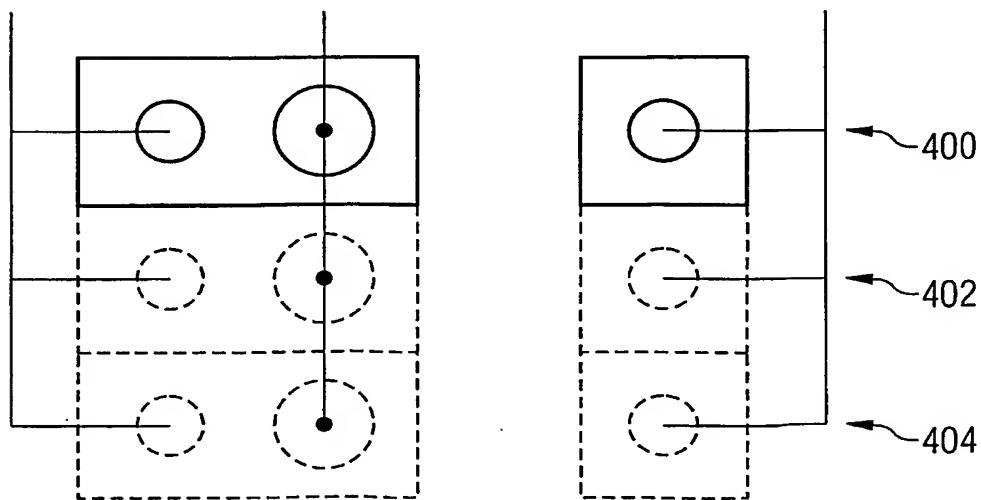


FIG 6



INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE 03/01957

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L29/78 H01L21/336

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 01 69684 A (KONINKL PHILIPS ELECTRONICS NV) 20 September 2001 (2001-09-20) page 5, line 28 -page 7, line 28; figure 1 page 8, line 17 - line 32; figure 3	1-5, 7, 10, 12, 13, 15-17
Y	EP 0 872 895 A (SHARP KK) 21 October 1998 (1998-10-21) column 4, line 34 -column 6, line 37; figures 1-3	8, 11
X	---	1, 4, 6, 9, 10, 13-15
Y	---	18, 19
	---	-/-

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the International filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the International filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *&* document member of the same patent family

Date of the actual completion of the International search.

19 December 2003

Date of mailing of the International search report

02/01/2004

Name and mailing address of the ISA
European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Lantier, R

INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE 03/01957

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 99 43029 A (KRAUTSCHNEIDER WOLFGANG ;HOFMANN FRANZ (DE); SIEMENS AG (DE); WILL) 26 August 1999 (1999-08-26) page 1, line 1 -page 3, line 9; figures 1,3-8	8,11
Y	-----	18,19
Y	US 2001/036705 A1 (NISHIDA YUKIO ET AL) 1 November 2001 (2001-11-01) page 5, paragraph 49 - paragraph 50; figures 11,12	18,19

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/DE 03/01957

Patent document cited in search report		Publication date		Patent family member(s)		Publication date
WO 0169684	A	20-09-2001		WO 0169684 A2 EP 1190453 A2 JP 2003526948 T US 2001020720 A1		20-09-2001 27-03-2002 09-09-2003 13-09-2001
EP 0872895	A	21-10-1998		JP 10290007 A EP 0872895 A2 TW 400649 B US 6215150 B1		27-10-1998 21-10-1998 01-08-2000 10-04-2001
WO 9943029	A	26-08-1999		WO 9943029 A1 EP 1060518 A1 TW 442949 B		26-08-1999 20-12-2000 23-06-2001
US 2001036705	A1	01-11-2001	JP	2000150634 A		30-05-2000

INTERNATIONALER RECHERCHENBERICHT

Internationale Aktenzeichen
PCT/DE 03/01957

A. KLASIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H01L29/78 H01L21/336

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der Internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	WO 01 69684 A (KONINKL PHILIPS ELECTRONICS NV) 20. September 2001 (2001-09-20) Seite 5, Zeile 28 -Seite 7, Zeile 28; Abbildung 1 Seite 8, Zeile 17 - Zeile 32; Abbildung 3	1-5, 7, 10, 12, 13, 15-17
Y	EP 0 872 895 A (SHARP KK) 21. Oktober 1998 (1998-10-21) Spalte 4, Zeile 34 -Spalte 6, Zeile 37; Abbildungen 1-3	8, 11
X	EP 0 872 895 A (SHARP KK) 21. Oktober 1998 (1998-10-21) Spalte 4, Zeile 34 -Spalte 6, Zeile 37; Abbildungen 1-3	1, 4, 6, 9, 10, 13-15
Y	---	18, 19
	-/-	

Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

Siehe Anhang Patentfamilie

- * Besondere Kategorien von angegebenen Veröffentlichungen :
- *A* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
- *E* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
- *L* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchebericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
- *O* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
- *P* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist
- *T* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist
- *X* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfändischer Tätigkeit beruhend betrachtet werden
- *Y* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfändischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist
- *&* Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der Internationalen Recherche	Absendedatum des Internationalen Rechercheberichts
19. Dezember 2003	02/01/2004
Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Bevollmächtigter Bediensteter Lantier, R

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/DE 03/01957

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	WO 99 43029 A (KRAUTSCHNEIDER WOLFGANG ; HOFMANN FRANZ (DE); SIEMENS AG (DE); WILL) 26. August 1999 (1999-08-26) Seite 1, Zeile 1 -Seite 3, Zeile 9; Abbildungen 1,3-8	8,11
Y	-----	18,19
Y	US 2001/036705 A1 (NISHIDA YUKIO ET AL) 1. November 2001 (2001-11-01) Seite 5, Absatz 49 - Absatz 50; Abbildungen 11,12	18,19
-----	-----	-----

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationale Aktenzeichen	PCT/DE 03/01957
-----------------------------	-----------------

im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie			Datum der Veröffentlichung
WO 0169684	A 20-09-2001	WO 0169684 A2	EP 1190453 A2	JP 2003526948 T	20-09-2001
				US 2001020720 A1	27-03-2002
					09-09-2003
					13-09-2001
EP 0872895	A 21-10-1998	JP 10290007 A	EP 0872895 A2	TW 400649 B	27-10-1998
				US 6215150 B1	21-10-1998
					01-08-2000
					10-04-2001
WO 9943029	A 26-08-1999	WO 9943029 A1	EP 1060518 A1	TW 442949 B	26-08-1999
					20-12-2000
					23-06-2001
US 2001036705	A1 01-11-2001	JP 2000150634 A			30-05-2000